**选课时间段： 周五6-8节**

**序号（座位号）：\_\_\_\_\_\_\_\_\_\_**

**杭州电子科技大学**

**实 验 报 告**

**课程名称: EDA技术**

**实验名称： 8位频率计和硬件消抖电路设计**

**指导老师： 岳克强**

**学生姓名： 黄继升**

**学生学号： 16041321**

**学生班级： 16040313**

**所学专业： 电子信息工程**

**实验日期： 2017.12.9**

**一.实验目的**

1.利用Verilog设计8位频率计

2.学习去抖动硬件电路的设计与测试方法。

**二.实验仪器设备或关键器材**

1.Quartus II软件

2.EDA实验箱上的FPGA开发板

**三.实验原理**

1.基于Verilog代码的频率计设计

（1）根据频率的定义和频率测量的基本原理；

（2）测定信号的频率必须有一个脉宽为1s的输入信号脉冲计数允许的信号；1s计数结束后，计数值被锁入锁存器，计数器清0，为下一测频计数周期做好准备；

（3）将实验程序下载到FPGA开发板上进行测试。

2.硬件消抖动电路设计

FPGA中的硬件去抖动电路十分常用，在实际工程和实验设计中都会经常用到。程序中给出了一种去除双边沿抖动或毛刺的电路设计。它的主要原理是分别用两个计数器对输入信号的高电平和低电平的持续时间（脉宽）进行计数（在时间上是同时但独立计数）。只有当高电平的计数时间大于某值，则判为遇到正常信号，输出1；若低电平的计数时间大于某值，则输出0。

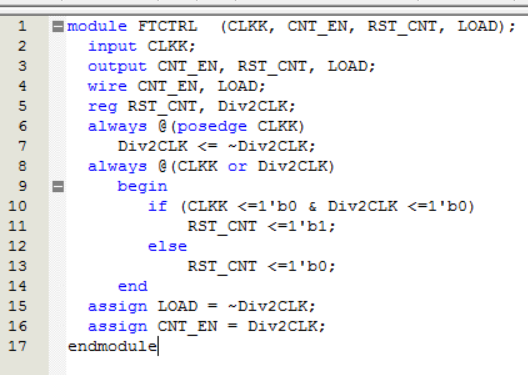
**四.实验内容以及操作：**

1.基于Verilog代码的频率计设计

实验内容：测频控制信号可以由一个独立的发生器来产生，即如下的FTCTRL代码。设计要求FTCTRL的计数使能信号CNT\_EN能产生一个1s脉宽的周期信号，并对频率计中的32位二进制计数器COUNTER32B的ENABL使能端进行同步控制。当CNT\_EN高电平时允许计数，低电平时停止计数，并保持其所计的脉冲数。在停止计数期间，首先需要一个锁存信号LOAD的上跳沿将计数器在前一秒钟的计数值锁存进锁存器REG32B中，并由外部的十六进制7段译码器译出，显示计数值。锁存信号后，必须有一清0信号RST\_CNT对计数器清0，为下一秒的计数操作做准备。

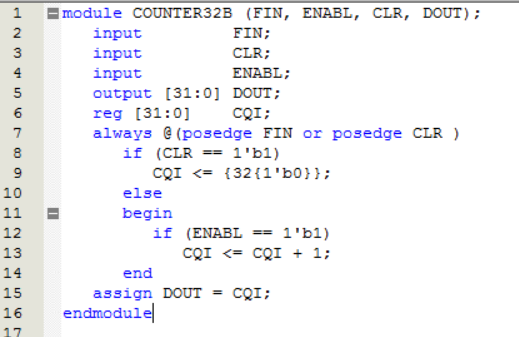
用Verilog设计另两个模块：REG32B和COUNTER32B，并对它们单独仿真测试。

FTCTRL程序代码：





COUNTER32B程序代码：

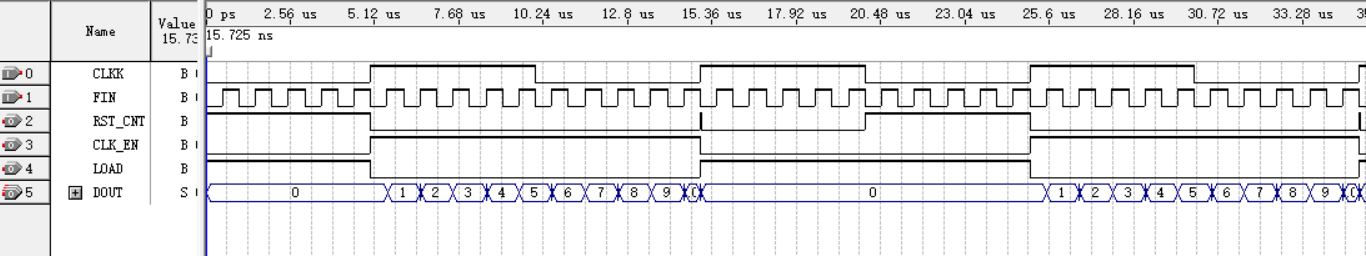




新建原理图，将生成的元件进行如下的连接，保存并通过编译。

实验电路图：

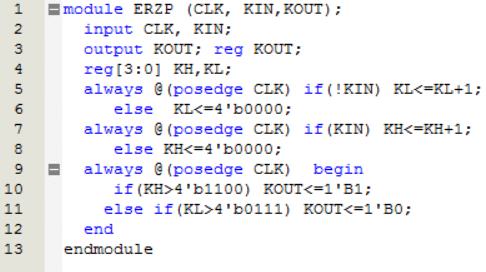
新建一个波形图，将endtime设置为100μs，CLKK设置为10μs，FIN设置为1μs，构成十分频电路。保存并输出波形，如下所示：

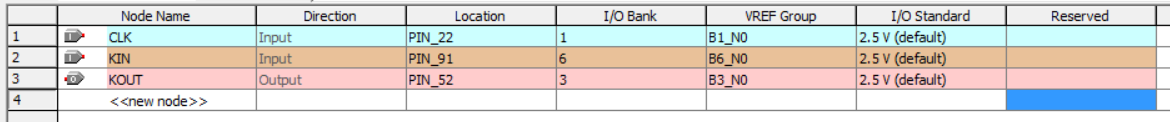


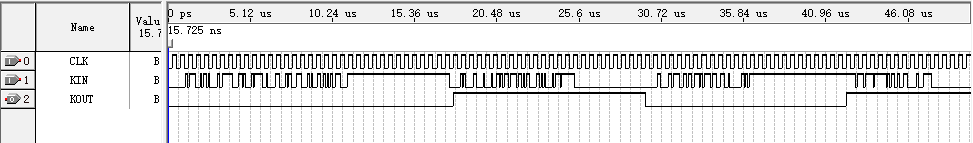
2.硬件消抖动电路设计

实验内容：根据原理说明，具体设计，仿真此消抖电路，最后硬件实现此项设计。验证消抖动的方法之一就是通过设计一个计数器来测试信号的抖动情况。此计数器的时钟端口由一有抖动的键输入，此键中间加上一个去抖动电路，按键后观察其计数情况。再比较当去除去抖动电路后的计数情况。

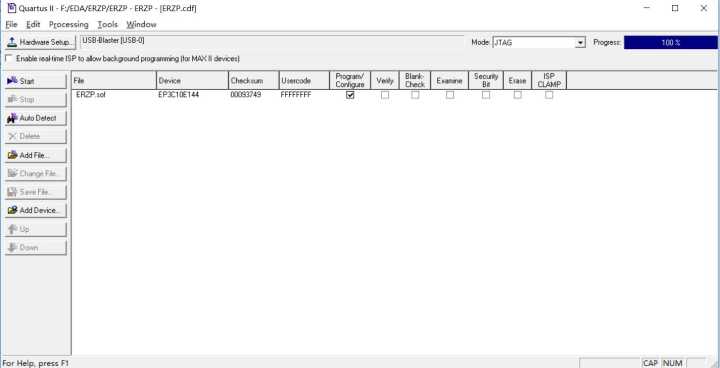
ERZP程序代码：



引脚锁定：CLK：PIN\_22 KIN: PIN\_91 KOUT: PIN\_52

新建波形图，设置endtime为100μs，CLK设置为1μs，KIN按如下设置，保存并输出波形图：

将FPGA和计算机相连，将程序下载到开发板上，如下所示：



最后在实验箱上实现功能，通过按键来检测LED灯的来回闪烁。

**五.实验感想**：

这次实验总的来说还是很容易的，因为老师简化了对频率计的设计，只是要求做出FTCTRL模块和32位计数器模块，并且通过连接实现电路的十分频。其实我事前已经做好了充分预习，并设计了REG32B 32位锁存器，顶层电路的代码设计，十六进制7段译码器的代码的设计，但是能不能在FPGA上实现出来就是另一回事了。关于消抖电路的设计也是仿照课本上的代码打的，锁定了引脚后在实验箱上的FPGA的开发板上也实现了功能，还是很容易的。但是事后一定要清楚理解消抖电路的代码设计原理，这样才能真正掌握对Verilog代码的使用和消抖电路的理解。